

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0086218
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

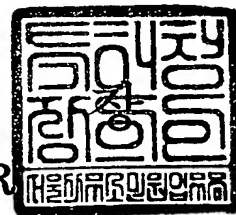
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 09 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0008		
【제출일자】	2002.12.30		
【발명의 명칭】	반도체 소자의 금속 배선과 그 형성 방법		
【발명의 영문명칭】	METAL LINE IN A SEMICONDUCTOR AND METHOD FOR FORMING THE SAME		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-059722-7		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-059725-9		
【발명자】			
【성명의 국문표기】	이재석		
【성명의 영문표기】	LEE, Jae Suk		
【주민등록번호】	650625-1030024		
【우편번호】	467-900		
【주소】	경기도 이천시 장호원 현대아파트 101-603		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	17	면	29,000 원
【가산출원료】	0	면	0 원

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

낮은 저항값을 가지면서 구리 이온이 기판으로 확산되는 것을 방지할 수 있는 본 발명에 따른 반도체 소자의 금속 배선은 절연 기판 상부에 원하는 금속 배선의 두께 보다 작은 두께를 갖는 제 1 도전층과 제 1 장벽 금속층으로 이루어진 제 1 금속 배선과, 제 1 금속 배선 사이에 매립된 제 1 층간 절연막과, 제 1 금속 배선의 상부에 제 2 도전층과 제 2 장벽 금속층으로 이루어진 제 2 금속 배선과, 제 2 금속 배선 사이에 매립된 제 2 층간 절연막으로 이루어진다.

【대표도】

도 2i

【명세서】

【발명의 명칭】

반도체 소자의 금속 배선과 그 형성 방법{METAL LINE IN A SEMICONDUCTOR AND METHOD FOR FORMING THE SAME}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 기술에 의한 반도체 소자의 금속 배선 형성 과정을 도시한 공정 단면도이고,

도 2a 내지 도 2i는 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속 배선 형성 과정을 도시한 공정 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 절연 기판	102 : 제 1 장벽 금속층
104 : 제 1 도전층	106 : 제 1 포토레지스트 패턴
108 : 제 1 금속 배선	110 : 제 1 층간 절연막
112 : 제 2 층간 절연막	114 : 제 2 포토레지스트 패턴
116 : 제 2 장벽 금속층	118 : 제 2 도전층
120 : 제 2 금속 배선	

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 금속 배선 형성 방법에 관한 것으로, 특히 알루미늄과 구리를 이용한 하이브리드(hybrid) 금속 배선과 그 형성 방법에 관한 것이다.
- <11> 종래의 금속 배선 형성 방법은 도 1a에 도시된 바와 같이, 금속 배선 콘택홀을 절연 기판(11) 상에 제 1 Ti/TiN층(13), 금속층(15), 제 2 Ti/TiN층(17)을 순차적으로 형성한다. 이때 금속층(15)으로는 알루미늄을 사용한다.
- <12> 도 1b에 도시된 바와 같이, 제 2 Ti/TiN층(17)의 상부에 감광막을 도포한 다음, 감광막을 금속 배선이 형성될 부위에만 남도록, 즉 양각 패터닝 방법으로 선택 노광 및 현상하여 포토레지스트 패턴(19)을 형성한다.
- <13> 도 1c에 도시된 바와 같이, 포토레지스트 패턴(19)을 마스크로 상기 제 2 Ti/TiN층(17), 금속층(15) 및 제 1 Ti/TiN층을 선택 식각하여 Ti./TiN/금속/Ti/TiN 적층 구조의 금속 배선을 형성한 후, 포토레지스트 패턴(19)을 제거한다.
- <14> 최근에, 반도체가 점점 고밀도화 되어감에 따라서 저항값이 작은 금속 배선을 형성하기 위해서 금속 배선의 두께가 증가됨과 더불어 피치(pitch)가 감소됨에 따라 층간 절연막의 형성에 어려움이 있다. 이를 극복하기 위해 금속 배선으로 알루미늄 대신 구리를 적용하는 다마신 공정을 이용하여 금속 배선을 형성한다.
- <15> 그러나, 구리를 이용한 다마신 공정은 양산성을 갖기 위해 도금법을 써야하기 때문에 많은 문제점이 있다.

<16> 또한, 구리로 이루어진 금속 배선을 기판 상에 형성할 경우 구리 이온들이 기판으로 확산되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 낮은 저항값을 가지면서 구리 이온이 기판으로 확산되는 것을 방지할 수 있는 반도체 소자의 금속 배선 및 그 형성 방법을 제공하고자 한다.

<18> 상기와 같은 목적을 달성하기 위하여 본 발명은, 절연 기판 상에 금속 배선을 형성하는 방법에 있어서, 상기 기판 상부에 형성하고자 하는 금속 배선의 두께 보다 작은 두께를 갖는 제 1 도전층과 제 1 장벽 금속층으로 이루어진 제 1 금속 배선을 형성하는 단계와, 상기 제 1 금속 배선이 형성된 기판 전면에서 제 1 층간 절연막을 형성하는 단계와, 상기 제 1 금속 배선이 드러나도록 제 1 층간 절연막을 제거하여 평탄화하는 단계와, 상기 평탄화된 제 1 층간 절연막 상부에 제 2 층간 절연막을 형성한 후, 상기 제 2 층간 절연막의 상부에 제 1 금속 배선이 형성된 영역을 제외한 영역에 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴에 맞추어서 제 1 금속 배선이 드러나도록 상기 제 2 층간 절연막을 제거하여 홀을 형성한 다음 상기 포토레지스트 패턴을 제거하는 단계와, 상기 홀이 형성된 결과물 상에 제 2 도전층과 제 2 장벽 금속층을 순차 형성하는 단계와, 상기 제 2 장벽 금속층이 드러나도록 제 2 도전층을 평탄화시켜 평탄화된 제 2 도전층과 제 2 장벽 금속층을 이루어진 제 2 금속 배선을 형성함으로써 제 1 장벽 금속층, 제 1 금속 배선, 제 2 장벽 금속층 및 제 2 금속 배선으로 이루어진 금속 배선을 형성하는 단계를 포함한다.

<19> 또한, 본 발명은 절연 기판 상에 형성되는 금속 배선에 있어서, 상기 기판 상부에 원하는 금속 배선의 두께 보다 작은 두께를 갖는 제 1 도전층과 제 1 장벽 금속층으로 이루어진 제

1 금속 배선과, 상기 제 1 금속 배선 사이에 매립된 제 1 층간 절연막과, 상기 제 1 금속 배선의 상부에 제 2 도전층과 제 2 장벽 금속층으로 이루어진 제 2 금속 배선과, 상기 제 2 금속 배선 사이에 매립된 제 2 층간 절연막을 포함한다.

【발명의 구성 및 작용】

- <20> 이하, 첨부한 도면을 참조하여 바람직한 실시 예에 대하여 상세히 설명하기로 한다.
- <21> 도 2a 내지 도 2i는 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속 배선 형성 과정을 도시한 공정 단면도이다.
- <22> 본 발명에 따른 금속 배선의 구조는 절연 기판(100)의 상부에 형성하고자 하는 금속 배선의 두께보다 작은 두께를 갖는 제 1 장벽 금속층(102a)과 제 1 도전층(104a)으로 형성된 제 1 금속 배선(108)과, 제 1 금속 배선(108) 사이에 매립된 제 1 층간 절연막(110)과, 제 1 금속 배선(108) 상부에 형성된 제 2 금속 장벽층(116)과 제 2 도전층(118a)으로 이루어진 제 2 금속 배선(120)과, 제 2 금속 배선(120) 사이에 매립된 제 2 층간 절연막(112)으로 이루어진다.
- <23> 도 2a에 도시된 바와 같이, 금속 배선 콘택홀(도시하지 않음)을 갖는 절연 기판(100) 상에 제 1 장벽 금속층(102) 및 제 1 도전층(104)을 순차적으로 형성하고, 제 1 도전층(104)의 상에 감광막을 도포한 다음 제 1 금속 배선이 형성될 부위에만 남도록 양각 패터닝하여 제 1 포토레지스트 패턴(106)을 형성한다. 이때, 제 1 도전층(104)으로는 구리가 5% 함유된 알루미늄 합금을 사용하며, 증착되는 두께는 최종적으로 형성될 금속배선의 두께의 1/2 두께를 갖는다.

- <24> 도 2b에 도시된 바와 같이, 포토레지스트 패턴(106)을 마스크로 제 1 도전층(104) 및 제 1 장벽 금속층(102)을 선택 식각하여 패터닝된 제 1 장벽 금속층(102a) 및 제 1 도전층(104a)으로 이루어진 제 1 금속 배선(108)을 형성한 다음, 제 1 포토레지스트 패턴(106)을 제거한다.
- <25> 도 2c에 도시된 바와 같이, HDP(High Density Plasma) 또는 기타 다른 장비를 이용하여 제 1 금속배선(108)이 형성된 기판(100) 전면에서 제 1 층간 절연막(110)을 형성한다. 이때 제 1 금속 배선(108)의 두께가 작기 때문에 층간 절연막(110) 내부에 보이드(void) 또는 제 1 금속 배선(108)의 상부 코너 부분에서 클리핑(clipping)이 형성되지 않는다.
- <26> 여기서, 기판(100) 전면에서 증착되는 제 1 층간 절연막(110)은 HDP를 이용하여 증착되는 USG 또는 FSG를 들 수 있다.
- <27> 도 2d에 도시된 바와 같이, CMP 공정을 실시하여 제 1 금속 배선(108)이 완전히 드러나도록 제 1 층간 절연막(110)을 제거한다. 이러한 CMP 공정으로 인하여 제 1 층간 절연막(110)이 제 1 금속 배선(108)의 두께보다 더 많이 제거되는데, 이는 금속 브리지(bridge)의 원인이 된다.
- <28> 이러한 제 1 금속 배선(108)의 브리지 원인을 제거하기 위하여, 도 2e에 도시된 바와 같이, 금속 CMP 공정을 실시하여 제 1 층간 절연막(110)과 동일한 두께를 갖도록 제 1 금속 배선(108)을 제거함으로써, 제 1 금속 배선(108)과 제 1 층간 절연막(110)을 평탄화시킨다.
- <29> 이후, 도 2f에 도시된 바와 같이, 목표 금속 배선의 두께의 나머지를 형성하기 위해 PECVD 공정으로 제 2 층간 절연막(112)을 형성하고, 제 2 층간 절연막(112)의 상에 감광막을 도포한 다음 제 1 금속 배선(108)이 형성된 영역을 제외한 영역에만 남도록 패터닝하여 제 2 포토레지스트 패턴(114)을 형성한다. 이때 제 2 층간 절연막(112)은 PEVCD를 이용하여 증착되

는 USG, FSG 또는 PEVCD SiOC를 이용하며, 그 두께는 최종적으로 형성될 금속 배선 두께의 1/2 두께를 갖는다

- <30> 도 2g에 도시된 바와 같이, 제 2 포토레지스트 패턴(114)을 마스크로 하여 제 1 금속 배선(108)의 상부가 완전히 드러나도록 제 2 층간 절연막(112)을 선택 식각하여 홀을 형성한 다음, 제 2 포토레지스트 패턴(114)을 제거한다.
- <31> 도 2h에 도시된 바와 같이, 식각된 제 2 층간 절연막(112) 상에 제 2 장벽 금속층(116)을 형성하고, 제 2 장벽 금속층(116) 전면에 홀이 완전히 매립되도록 제 2 도전층(118)을 형성한다. 이때 제 2 도전층(118)으로는 낮은 저항값을 갖는 구리를 예로 들 수 있다.
- <32> 도 2i에 도시된 바와 같이, 제 2 장벽 금속층(116)이 완전히 드러나도록 금속 CMP 공정을 실시하여 제 2 도전층(118)을 제거함으로써, 제 2 장벽 금속층(116) 및 평탄화된 제 2 도전층(118a)으로 이루어진 제 2 금속 배선(120)을 형성한다. 이에 따라 패터닝된 제 1 장벽 금속층(102a), 제 1 도전층(104a), 제 2 장벽 금속층(116) 및 평탄화된 제 2 도전층(118a)이 적층된 구조의 하이브리드 금속 배선을 형성한다.
- <33> 본 발명에서 사용되는 제 1, 2 장벽 금속층(102a, 116)은 Ti, TiN, Ta, TaN, W 또는 WN을 이용하거나, 이들 간의 조합으로 이루어진 물질이다.

【발명의 효과】

- <34> 이상 설명한 바와 같이, 본 발명은 알루미늄 합금과 구리가 적층된 구조의 하이브리드 금속 배선을 형성함으로써, 낮은 저항값을 갖는 금속 배선을 형성할 수 있다.
- <35> 또한, 본 발명은 기판에서 떨어진 영역에 구리로 이루어진 금속 배선을 형성함으로써, 구리 이온이 기판 상으로 확산되는 문제점을 해결할 수 있다.

【특허청구범위】**【청구항 1】**

절연 기판 상에 금속 배선을 형성하는 방법에 있어서,

상기 기판 상부에 형성하고자 하는 금속 배선의 두께 보다 작은 두께를 갖는 제 1 도전층과 제 1 장벽 금속층으로 이루어진 제 1 금속 배선을 형성하는 단계와,

상기 제 1 금속 배선이 형성된 기판 전면에서 제 1 층간 절연막을 형성하는 단계와,

상기 제 1 금속 배선이 드러나도록 제 1 층간 절연막을 제거하여 평탄화하는 단계와,

상기 평탄화된 제 1 층간 절연막 상부에 제 2 층간 절연막을 형성한 후, 상기 제 2 층간 절연막의 상부에 제 1 금속 배선이 형성된 영역을 제외한 영역에 포토레지스트 패턴을 형성하는 단계와,

상기 포토레지스트 패턴에 맞추어서 제 1 금속 배선이 드러나도록 상기 제 2 층간 절연막을 제거하여 홀을 형성한 다음 상기 포토레지스트 패턴을 제거하는 단계와,

상기 홀이 형성된 결과물 상에 제 2 도전층과 제 2 장벽 금속층을 순차 형성하는 단계와,

상기 제 2 장벽 금속층이 드러나도록 도전층을 평탄화시켜 평탄화된 제 2 도전층과 제 2 장벽 금속층을 이루어진 제 2 금속 배선을 형성함으로써 제 1 장벽 금속층, 제 1 금속 배선, 제 2 장벽 금속층 및 제 2 금속 배선으로 이루어진 금속 배선을 형성하는 단계를 포함하는 반도체 소자의 금속 배선 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 1 금속 배선은, 구리가 5% 함유된 알루미늄 합금이며, 그 두께는 원하는 금속 배선의 두께의 50% 두께를 갖는 반도체 소자의 금속 배선 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 제 1 층간 절연막을 평탄화 하는 단계 이후에, 제 1 층간 절연막의 평탄화에 의해 돌출된 상기 제 1 금속 배선을 평탄화시키는 단계를 더 포함하는 반도체 소자의 금속 배선 형성 방법.

【청구항 4】

제 1 항에 있어서,

상기 평탄화 단계는, CMP를 이용하여 평탄화시키는 반도체 소자의 금속 배선 형성 방법.

【청구항 5】

제 1 항에 있어서,

상기 제 2 층간 절연막의 두께는, 형성하고자 하는 금속 배선의 두께에 50%의 두께를 갖는 반도체 소자의 금속 배선 형성 방법.

【청구항 6】

제 1 항에 있어서,

상기 제 2 도전층은, 구리인 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

【청구항 7】

제 1 항에 있어서,

제 1 층간 절연막은, HDP를 이용하여 증착되는 USG 또는 FSG인 반도체 소자의 금속 배선 형성 방법.

【청구항 8】

제 1 항에 있어서,

상기 제 2 층간 절연막은, PECVD를 이용하여 증착되는 USG 또는 FSG이거나 PECVD SiOC(?)인 반도체 소자의 금속 배선 형성 방법.

【청구항 9】

제 1 항에 있어서,

상기 제 1, 2 장벽 금속층은, Ti, TiN, Ta, TaN, W, 또는 WN이거나 그 조합인 반도체 소자의 금속 배선 형성 방법.

【청구항 10】

절연 기판 상에 형성되는 금속 배선에 있어서,

상기 기판 상부에 원하는 금속 배선의 두께 보다 작은 두께를 갖는 제 1 도전층과 제 1 장벽 금속층으로 이루어진 제 1 금속 배선과,

상기 제 1 금속 배선 사이에 매립된 제 1 층간 절연막과,

상기 제 1 금속 배선의 상부에 제 2 도전층과 제 2 장벽 금속층으로 이루어진 제 2 금속 배선과,

상기 제 2 금속 배선 사이에 매립된 제 2 층간 절연막을 포함하는 반도체 소자의 금속 배선.

【청구항 11】

제 10 항에 있어서,

상기 제 1 금속 배선은, 구리가 5% 함유된 알루미늄 합금이며, 그 두께는 원하는 금속 배선의 두께의 50% 두께를 갖는 반도체 소자의 금속 배선 .

【청구항 12】

제 10 항에 있어서,

상기 제 2 층간 절연막의 두께는, 형성하고자 하는 금속 배선의 두께에 50%의 두께를 갖는 반도체 소자의 금속 배선 .

【청구항 13】

제 10 항에 있어서,

상기 제 2 도전층은, 구리인 것을 특징으로 하는 반도체 소자의 금속 배선 .

【청구항 14】

제 10 항에 있어서,

제 1 층간 절연막은, HDP를 이용하여 증착되는 USG 또는 FSG인 반도체 소자의 금속 배선 .

【청구항 15】

제 10 항에 있어서,

상기 제 2 층간 절연막은, PECVD를 이용하여 증착되는 USG 또는 FSG이거나 PECVD SiOC인 반도체 소자의 금속 배선 .

【청구항 16】

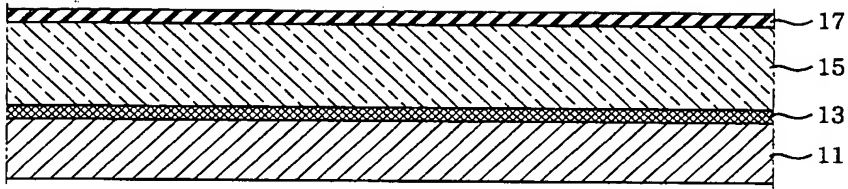
제 10 항에 있어서,

상기 제 1, 2 장벽 금속층은, Ti, TiN, Ta, TaN, W, 또는 WN이거나 그 조합인 반도체 소자의 금속 배선 .

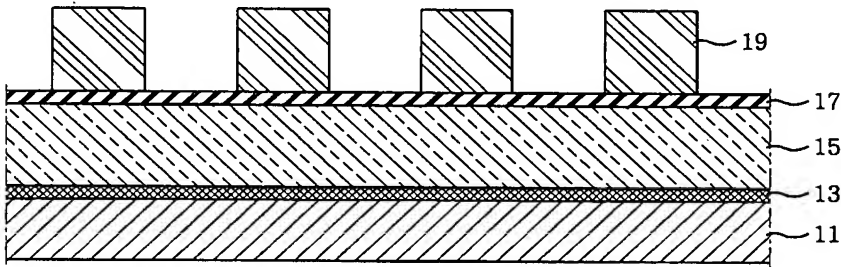


【도면】

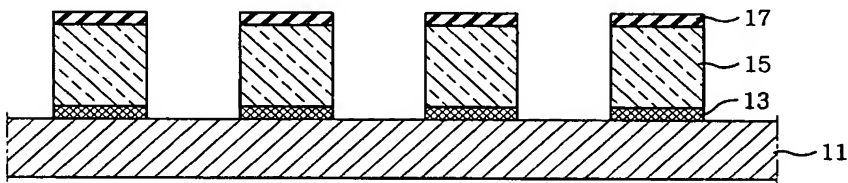
【도 1a】



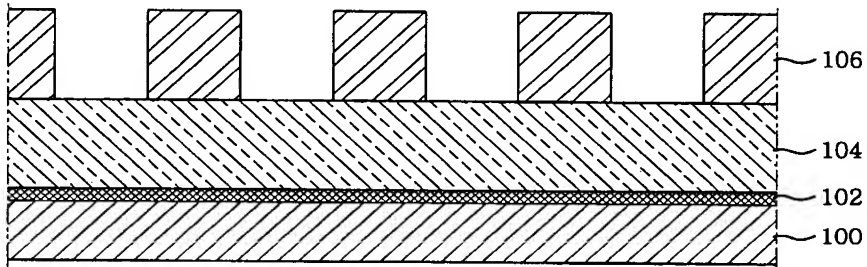
【도 1b】



【도 1c】

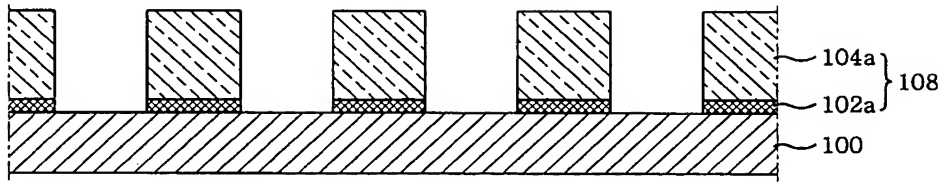


【도 2a】

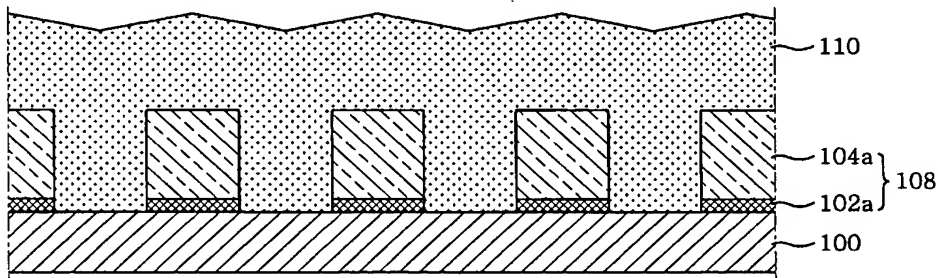




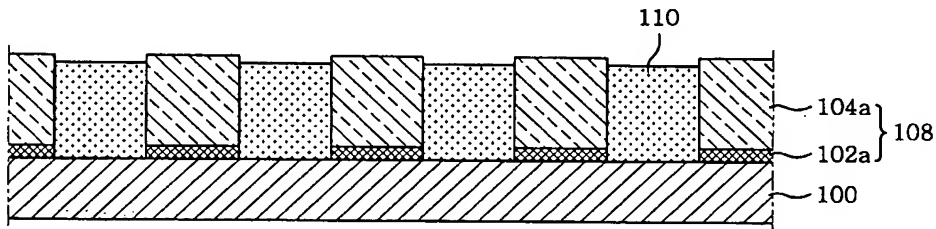
【도 2b】



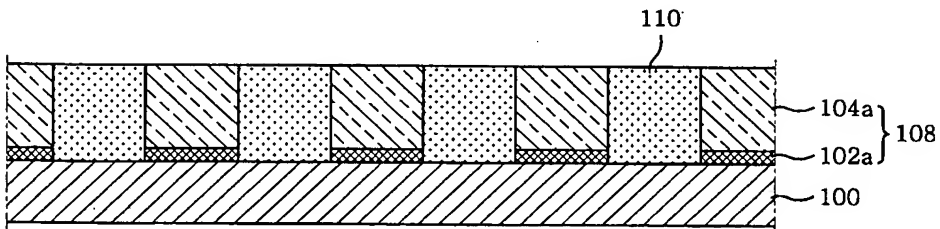
【도 2c】



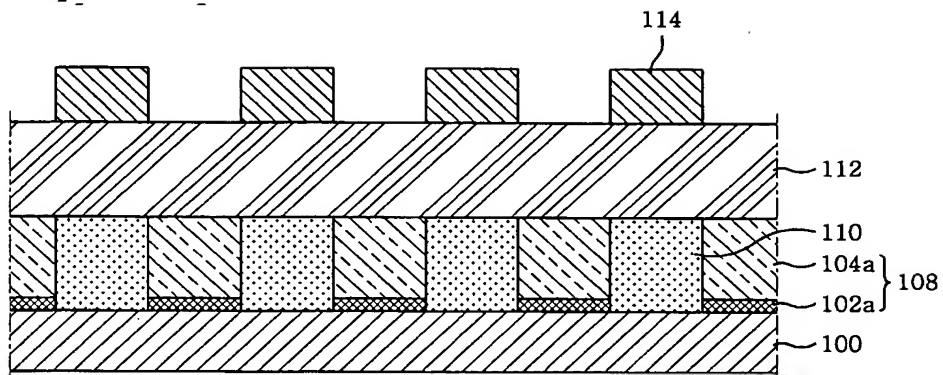
【도 2d】



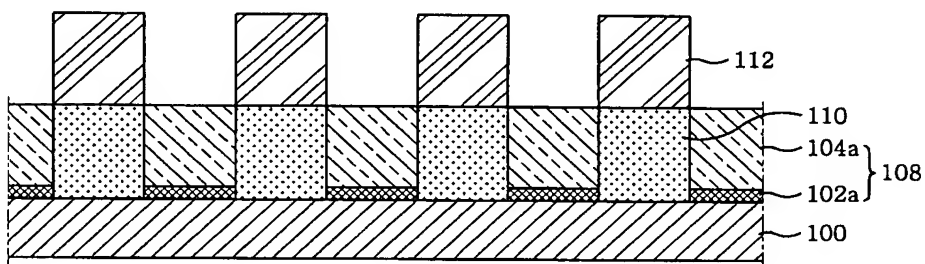
【도 2e】



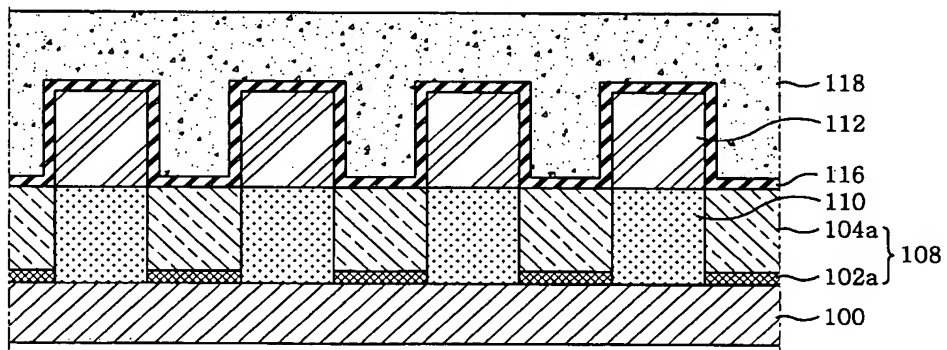
【도 2f】



【도 2g】



【도 2h】



【도 2i】

